

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-065739
 (43)Date of publication of application : 02.03.1992

(51)Int.Cl. G06F 12/06

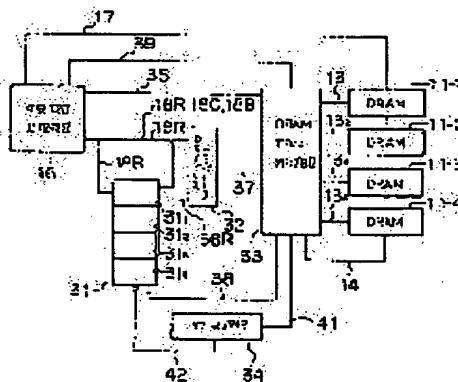
(21)Application number : 02-177353 (71)Applicant : FUJI XEROX CO LTD
 (22)Date of filing : 06.07.1990 (72)Inventor : YANAGISAWA KATSUHIKO

(54) MEMORY CONTROL DEVICE

(57)Abstract:

PURPOSE: To rapidly execute data transfer between banks by providing the memory control device with a row address tag memory for storing row addresses in each memory bank and comparing respective row addresses in each bank.

CONSTITUTION: The row address tag memory 31 has memory areas 311 to 314 corresponding to respective memory blocks 11-1 to 11-4, and at the time of inputting a bank address 18B and a row address 18R, outputs a row address written in a corresponding area 311 e.g. as an intra-tag memory row address 36R. A row address comparator 32 compares the row address 18R with the row address 36R, and when both the addresses 18R, 36R are different from each other, outputs a miss signal 37. At the output timing of the signal 37, a DRAM access timing device 33 outputs a tag memory reading/writing signal 38, writes the row address 18R in the memory area 311 and updates its contents. Since the memory can be accessed in a rapid page mode even at the discrepancy of both the bank addresses, data transfer between the memory banks can rapidly be executed.



LEGAL STATUS

- [Date of request for examination]
- [Date of sending the examiner's decision of rejection]
- [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
- [Date of final disposal for application]
- [Patent number]
- [Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁 (JP) ⑪ 特許出願公開
⑫ 公開特許公報 (A) 平4-65739.

⑬ Int. Cl.⁵
G 06 F 12/06

識別記号 530
厅内整理番号 8841-5B

⑭ 公開 平成4年(1992)3月2日

審査請求 未請求 請求項の数 2 (全9頁)

⑮ 発明の名称 メモリ制御装置

⑯ 特 願 平2-177353
⑰ 出 願 平2(1990)7月6日

⑱ 発明者 柳沢 克彦 埼玉県岩槻市府内3丁目7番1号 富士ゼロックス株式会社岩槻事業所内

⑲ 出願人 富士ゼロックス株式会社 東京都港区赤坂3丁目3番5号

⑳ 代理人 弁理士 山内 梅雄

明細書

1. 発明の名称

メモリ制御装置

2. 特許請求の範囲

1. メモリバンクごとにロウアドレスを格納するロウアドレステグメモリと、

複数バンクからなる高速ページモードのダイナミック・ランダム・アクセス・メモリに対するバンクアドレスが指定されたとき前記ロウアドレスタグメモリから読み出されたロウアドレスと、このダイナミック・ランダム・アクセス・メモリのアクセスを行うためのロウアドレスとを比較するコンパレータと、

このコンパレータの比較結果が一致しないときは前記アクセスを行うためのロウアドレスを前記ロウアドレステグメモリの該当するバンクに格納すると共に該当するメモリバンクにロウアドレスおよびカラムアドレスを与えて通常のアクセスを行う一方、コンパレータの比較結果が一致したときは高遅ページモードでアクセスを行うメモリバンク

アクセス制御手段

とを具備することを特徴とするメモリ制御装置。

2. メモリバンクごとにロウアドレスを格納するロウアドレステグメモリと、

複数バンクからなるスタティックカラムモードのダイナミック・ランダム・アクセス・メモリに対するバンクアドレスが指定されたとき前記ロウアドレスタグメモリから読み出されたロウアドレスと、このダイナミック・ランダム・アクセス・メモリのアクセスを行うためのロウアドレスとを比較するコンパレータと、

このコンパレータの比較結果が一致しないときは前記アクセスを行うためのロウアドレスを前記ロウアドレステグメモリの該当するバンクに格納すると共に該当するメモリバンクにロウアドレスおよびカラムアドレスを与えて通常のアクセスを行う一方、コンパレータの比較結果が一致したときはスタティックカラムモードでアクセスを行うメモリバンクアクセス制御手段とを具備することを特徴とするメモリ制御装置。

3. 発明の詳細な説明

「産業上の利用分野」

本発明は複数バンクのメモリブロックを有するメモリの制御装置に係わり、特にメモリブロック間でのデータの転送を高速度で行うようにしたメモリ制御装置に関する。

「従来の技術」

第13図は、従来における複数バンクのメモリブロックを有するメモリとその制御装置を表わしたものである。この例では、256K(キロビット)の高速ページモードDRAM(ダイナミックランダム・アクセス・メモリ)が第1のメモリブロック11-1から第2のメモリブロック11-4まで配置されており、これらのそれぞれに対してもDRAMアクセスタイミング装置12から各種メモリ制御信号131～134とメモリアドレス情報14が供給されるようになっている。ここでメモリ制御信号131～134とは、この明細書でアスタリスク(*)を負荷率を表示する記号として用いると、RAS^{*}(row address strobe)、

CAS^{*}(column address strobe)、OE^{*}(output enable)、WE^{*}(write enable)の各信号を表わしている。

それぞれのメモリブロック11-1～11-4は、中央演算処理装置16との間にデータバス17を接続しており、データの読み出しや書き込みが行われるようになっている。この中央演算処理装置16から出力されるアドレス情報は、ロウアドレス18R、カラムアドレス18Cおよびバンクアドレス18Bから構成されている。これらはDRAMアクセスタイミング装置12に供給される。また、ロウアドレス18Rとバンクアドレス18Bはロウアドレスコンバーティ19に供給され、ここでプリーピアス(previous)アドレスラッテ21から供給されるプリーピアス、ロウアドレス22Rとプリーピアスバンクアドレス22Bと比較されるようになっている。プリーピアスアドレスラッテ21は、DRAMアクセスタイミング装置12から出力されるアドレスラッテ信号23で中央演算処理装置16から出力されるロウアド

レス18Rおよびバンクアドレス18Bをラッチし、1サイクル遅れた周期でプリーピアスロウアドレス22Rとプリーピアスバンクアドレス22Bを出力するようになっている。

ロウアドレスコンバーティ19は、2系統のアドレスを比較してこれらが一致しないとき、すなわちロウアドレスとバンクアドレスの少なくとも一方が異なる場合にはミス(MISS)信号24を出力するようになっている。なお、DRAMアクセスタイミング装置12はリフレッシュタイム25を接続しており、所定のタイミングで各メモリブロック11-1～11-4をリフレッシュするタイミングを設定するようになっている。

第14図は、このような従来の装置におけるメモリのアクセス方法を説明するためのものである。この従来のメモリ制御装置では、通常のアクセスサイクルと、高速ページモードサイクルの2つのサイクルを採用している。通常のアクセスサイクルは、第13図のロウアドレスコンバーティ19からミス信号24が出力される場合に採用される。

この場合には、ロウアドレス18R(第14図a)がRAS信号(第14図b)によってラッチされ、CAS^{*}信号(同図c)がラッチされた時点でデータのアクセス(同図d)が行われる。このとき、ロウアドレス18Rとバンクアドレス18Bがプリーピアスアドレスラッテ21にラッチされる。第14図で時間T1は、通常のアクセスサイクルにおけるデータのアクセスに要する時間である。

次に高速ページモードサイクルについて説明する。第13図のプリーピアスアドレスラッテ21にラッチされたプリーピアスロウアドレス22Rとプリーピアスバンクアドレス22Bは、次のサイクルで中央演算処理装置16から出力されるロウアドレス18Rおよびバンクアドレス18Bと比較される。この結果、もし次のアクセスが同一メモリブロックの同一ロウアドレスのものであれば、ロウアドレスはすでに設定されているので、CAS^{*}信号(第14図c)が単にラッチされた時点でデータのアクセス(同図d)が行われる。すなわち高速ページモードサイクルでは、データ

のアクセスに要する時間が第14図のようにT₁となり、大島な時間短縮が可能になる。

「発明が解決しようとする課題」

このように高速ページモードを用いると、メモリブロック11-1~11-4に対する中央演算処理装置16のアクセスに要する時間を短縮することができる。しかしながら、従来のメモリ制御装置ではロウアドレスコンパレータ19でロウアドレス18Rとバンクアドレス18Bを比較の対象としていたので、ロウアドレス18Rが前のサイクルのそれと一致していた場合でもバンクアドレス18Bが異なれば高速ページモードが中断され、アクセス時間を短縮することができないという問題があった。すなわちバンク間でデータのコピーを行う場合には、ロウアドレス18Rが一致してもバンクアドレス18Bが異なるので、高速でアクセスを行うことができないという問題があった。

以上、高速ページモードのDRAMを用いるメモリ制御装置について説明したが、スタティック

カラムモードのDRAMについても同様な問題があった。すなわち、スタティックカラムモードのDRAMを使用するメモリ制御装置でも、従来から第13図に示したプリーピアスアドレスラッチ21と同様なプリーピアスアドレスラッチを備えており、これにロウアドレスを格納するようになっていた。そして、現行のバンクアドレスとロウアドレスとをコンパレータで比較し、一致した場合にはスタティックカラムモードでメモリをアクセスし、不一致の場合には通常のメモリアクセスを行うようになっていた。しかし、この場合にも、前回のメモリアクセスと現行のメモリアクセスにおいてバンクアドレスが変化した場合にはスタティックカラムモードによるアクセスを中断する必要があり、メモリバンク間のデータ伝送のオーバヘッドが大きいという問題があった。

そこで本発明の第1の目的は、高速ページモードのDRAMについてバンク間でデータの伝送を行う場合にも高速ページモードを実現することのできるメモリ制御装置を提供することにある。

本発明の第2の目的は、スタティックカラムモードのDRAMについてバンク間でデータの伝送を行う場合にもスタティックカラムモードを実現することのできるメモリ制御装置を提供することにある。

「課題を解決するための手段」

請求項1記載の発明では、メモリバンクごとにロウアドレスを格納するロウアドレスタグメモリと、複数バンクからなる高速ページモードのDRAMに対するバンクアドレスが指定されたときロウアドレスタグメモリから読み出されたロウアドレスと、このDRAMのアクセスを行うためのロウアドレスとを比較するコンパレータと、このコンパレータの比較結果が一致しないときアクセスを行うためのロウアドレスをロウアドレスタグメモリの該当するバンクに格納すると共に該当するメモリバンクにロウアドレスおよびカラムアドレスを与えて通常のアクセスを行う一方、コンパレータの比較結果が一致したとき高速ページモードでアクセスを行うメモリバンクアクセス制御

手段とをメモリ制御装置に具備させる。

そして、メモリバンク単位でロウアドレスを比較することにして、バンク間でデータの伝送を行う場合にも高速ページモードを実現できるようにする。

請求項2記載の発明では、メモリバンクごとにロウアドレスを格納するロウアドレスタグメモリと、複数バンクからなるスタティックカラムモードのDRAMに対するバンクアドレスが指定されたときロウアドレスタグメモリから読み出されたロウアドレスと、このDRAMのアクセスを行うためのロウアドレスとを比較するコンパレータと、このコンパレータの比較結果が一致しないときアクセスを行うためのロウアドレスをロウアドレスタグメモリの該当するバンクに格納すると共に該当するメモリバンクにロウアドレスおよびカラムアドレスを与えて通常のアクセスを行う一方、コンパレータの比較結果が一致したときスタティックカラムモードでアクセスを行うメモリバンクアクセス制御手段とをメモリ制御装置に具備させる。

そして、メモリバンク単位でロウアドレスを比較することにして、バンク間でデータの転送を行う場合にもスタティックカラムモードを実現できるようになる。

「実施例」

以下実施例につき本発明を詳細に説明する。

第1図は本発明の一実施例におけるメモリ制御装置とこれによって制御されるメモリを表わしたものである。この第1図で第13図と同一部分には同一の符号を付しており、これらの説明を適宜省略する。

この実施例のメモリ制御装置は、中央演算処理装置16と、これからバンクアドレス18Bの供給を受けるロウアドレスタグメモリ31と、ロウアドレスを比較するロウアドレスコンパレータ32と、各メモリブロック11-1～11-4に対するアクセスタイミングを設定するDRAMアクセスタイミング装置33と、リフレッシュのためのタイミングを設定するリフレッシュタイム34によって構成されている。

以上のような構成のメモリ制御装置でメモリブロック11-1～11-4のアクセスが行われる場合、中央演算処理装置16からアドレス情報18が出力される。

第2図は、このアドレス情報の構成を表わしたものである。アドレス情報18は、上位から下位に向けて、バンクセレクトのためのバンクアドレス18B、ロウアドレス18Rおよびカラムアドレス18Cの順に配置されている。

このアドレス情報18のうちのバンクアドレス18Bとロウアドレス18Rは、ロウアドレスタグメモリ31に供給される。ロウアドレスタグメモリ31は、各メモリブロック11-1～11-4にそれぞれ対応する4つのメモリ領域311～314に分けられている。そして、バンクアドレス18Bが入力されると、それに対応するメモリ領域に書き込まれたロウアドレスがタグメモリ内ロウアドレス36Rとして出力されるようになっている。ロウアドレスコンパレータ32は、このタグメモリ内ロウアドレス36Rと中央演算処

理装置16から出力されたロウアドレス18Rとを比較する。この結果、両者が一致しなかった場合には、高速ページモード以外のモードとして通常のアクセスが行われるモードとなる。

第3図は、通常のアクセスが行われるこのモードを説明するためのものである。

中央演算処理装置16からDRAMアクセスタイミング装置33に対してアドレスストローブ信号(A S)35(第2図a)が出力されてデータバス17上におけるアドレス情報18(第2図)が有効になると、前記したようにロウアドレスコンパレータ32がロウアドレス18Rとタグメモリ内ロウアドレス36Rを比較する。この結果、両者が一致しないと、ロウアドレスコンパレータ32からH(ハイ)レベルのミス信号37(第3図b)が出力される。これにより、DRAMアクセスタイミング装置33は、メモリ制御信号131～134の一組としてバンクアドレス18Bで指定されたメモリブロック(以後、メモリブロック11-1が選択されたものとして説明する。)に

対して第3図cに示したようにR A S信号を出力する。

また、このタイミングでDRAMアクセスタイミング装置33は、タグメモリ・リードライト信号38(第3図e)をロウアドレスタグメモリ31に対して出力し、選択されたメモリブロック11-1に対応するメモリ領域311にこのロウアドレス18Rを書き込む。これによって、メモリ領域311の内容が最新のものに更新されたことになる。

更に次のタイミングで、DRAMアクセスタイミング装置33は第3図dに示したようにC A S信号をメモリブロック11-1～11-4に供給し、第3図fに示したようにメモリブロック11-1に対するアドレスが確定する。この状態で、DRAMアクセスタイミング装置33はデータアクノリッジ信号(D TACK)39(第3図g)を中央演算処理装置16に返してアドレス情報の転送のためのバスサイクルを終了させる。

第4図は、ロウアドレスタグメモリと各メモリ

ブロックの関係を表わしたものである。第3図に示したHレベルのミス信号37が出力される状態では、例えば1番目のバンクのロウアドレス18R₁はメモリブロック11-1とメモリ領域31₁の双方に与えられ、2番目のバンクのロウアドレス18R₂はメモリブロック11-2とメモリ領域31₂の双方に与えられることになる。以下同様である。

以上説明したようにロウアドレスタグメモリ31(第1図)の各メモリ領域31₁～31_nには、各メモリブロック11-1～11-4に対応する最新のロウアドレス18Rが格納されることになる。そこで、今、メモリブロック11-1のこの最新のロウアドレス18Rと同一のロウアドレス18Rがアドレス情報18の一部としてバスライン17上に送出されたものとする。この場合には、高速ページモードが実行される。

第5図は、この高速ページモードを説明するためのものである。

第5図aに示したようにアドレス情報18がバ

スラインバスライン17上に送出されると、先に説明したようにロウアドレスコンバーティ32がロウアドレス18Rとタグメモリ内ロウアドレス36Rを比較し、この場合にはその内容が一致する。したがって、ミス信号37はL(ロー)レベルに保持されたままであり(第5図b)、RAS信号もしレベルのままとなって(同図c)、タグメモリ・リードライト信号38(同図d)はHレベルのままでメモリ領域31_iの更新は行われない。この状態では、DRAMアクセスタイミング装置33から出力されるCAS信号(第5図e)によってカラムアドレス(同図f)がメモリアドレスとして取り込まれ、この状態でデータアクノリッジ信号39が中央演算処理装置16に返されてアドレス情報の転送のためのバスサイクルが終了する。

このように高速ページモードでは、カラムモードのみが与えられるので、アクセスが高速化する。

第6図は、通常のアクセスサイクルと高速ページモードにおけるアクセスサイクルを対比したもの

である。同図aはアドレス情報を、同図bはRAS^{*}信号を、同図cはCAS^{*}信号を、同図eはデータをそれぞれ示している。第14図でも説明した通り、通常のアクセスサイクルにおけるアクセスの時間T₁よりも本実施例のリード時における高速ページモードの時間T₂の方が格段に短いことがわかる。

第7図は、このメモリ制御装置におけるリフレッシュサイクルを示したものである。

この第7図aに示したリフレッシュ・リクエスト(REFREQ)信号41は、第1図に示したリフレッシュタイムマ34から出力されてDRAMアクセスタイミング装置33に入力される。本実施例のメモリ制御装置では、第7図bおよびcに示すようにCASビフォアRAS・リフレッシュ方式を採用している。リフレッシュタイムマ34からは、リフレッシュ・リクエスト信号41が出力されるタイミングでタグフラッシュ信号42(第7図d)がロウアドレスタグメモリ31に供給され、その内容を無効化する。これは、各メモリバンク

のDRAMに保持されていたロウアドレスが切り換わるためである。

「変形例」

以上、高速ページモードを用いたメモリ制御装置について説明したが、本発明の技術思想はスタティックカラムモードを用いたメモリ制御装置にも同様に適用することができる。

この変形例のメモリ制御装置では、バンクアドレスごとに前回のメモリアクセスのロウアドレスを保持することにして、バンク間でデータの転送を行う場合においてもスタティックカラムモードを中断する必要がないようにしている。

第8図は、この変形例におけるメモリ制御装置とこれによって制御されるメモリを表わしたものである。第8図で第1図と同一部分には同一の符号を付しており、これらの説明を適宜省略する。

この変形例のメモリ制御装置は、DRAMアクセスタイミング装置51にスタティックカラムモードDRAMのメモリブロック52-1～52-4を接続している。

このメモリ制御装置で各メモリブロック 52-1 ~ 52-4 のアクセスが行われる場合、先の実施例の第2図で示したようなアドレス情報がバスラインバスライン 17 上に送出され、先の実施例と同様にロウアドレス 18R によってロウアドレスタグメモリ 31 がアドレッシングされる。以下、ロウアドレス 18R によってメモリブロック 52-1 が選択された場合を説明する。

この場合には、ロウアドレスコンバーティ 32 がロウアドレス 18R とタグメモリ内ロウアドレス 36R を比較し、比較結果が不一致の場合には通常のアクセスモードでメモリブロック 52-1 がアクセスされる。

第9図は、通常のアクセスモードを説明するためのものである。先の実施例の第3図と異なるのは、スタティックカラムモード DRAM が制御の対象となるので、第9図dに示した CAS・信号が L レベルに変化した状態でカラムアドレスが設定される。

第10図は、ロウアドレスコンバーティの比較

結果が一致した場合のスタティックカラムモードを説明するためのものである。先の実施例の第5図と比較して第10図dでは CAS・信号が L レベルに保持されたままで、この状態でカラムアドレスの切り換えが行われる。

第11図は、通常のアクセスモードとスタティックカラムモードを比較したものである。通常のアクセスモードでは、アドレス情報（第11図a）としてロウアドレスとカラムアドレスが与えられ、DRAM アクセスタイミング装置 51（第8図）は、ロウアドレスに対して L レベルの RAS・信号（第11図b）を出力し、カラムアドレスに対して同じく L レベルの CAS・信号（同図c）を出力する。スタティックカラムモードでは、CAS・信号が L レベルのままで、それぞれのカラムアドレスがデータ（第11図d）として与えられてこれらのアドレスが切り換わることになる。

第12図は、このスタティックカラムモードの DRAM を使用するメモリ制御装置のリフレッシュサイクルを表したものであり、先の実施例の

第7図に対応する。この変形例でも第12図bおよびcに示すように CAS ビフォア RAS・リフレッシュ方式を探用している。リフレッシュタイム 34 からは、リフレッシュ・リクエスト信号 41 が出力されるのとほぼ同一タイミングでタグフラッシュ信号 42（第11図d）がロウアドレスタグメモリ 31 に供給され、その内容を無効化する。これは、先の実施例と同様に各メモリバンクの DRAM に保持されていたロウアドレスが切り替わるためである。

「発明の効果」

以上説明したように請求項1記載の発明によれば、複数バンクからなる高速ページモードの DRAM について、バンクごとのロウアドレスを格納するロウアドレスタグメモリを用意して、ここから読み出されるロウアドレスとアクセスの対象となるメモリバンクのロウアドレスを比較することにしたので、バンクアドレスが一致しなくてもスタティックカラムモードでメモリをアクセスすることができ、メモリバンク間の転送を高速で行うことができるという利点がある。

ができるという利点がある。

また、請求項2記載の発明によれば、複数バンクからなるスタティックカラムモードの DRAM について、バンクごとのロウアドレスを格納するロウアドレスタグメモリを用意して、ここから読み出されるロウアドレスとアクセスの対象となるメモリバンクのロウアドレスを比較することにしたので、バンクアドレスが一致しなくてもスタティックカラムモードでメモリをアクセスすることができ、メモリバンク間の転送を高速で行うことができるという利点がある。

4. 図面の簡単な説明

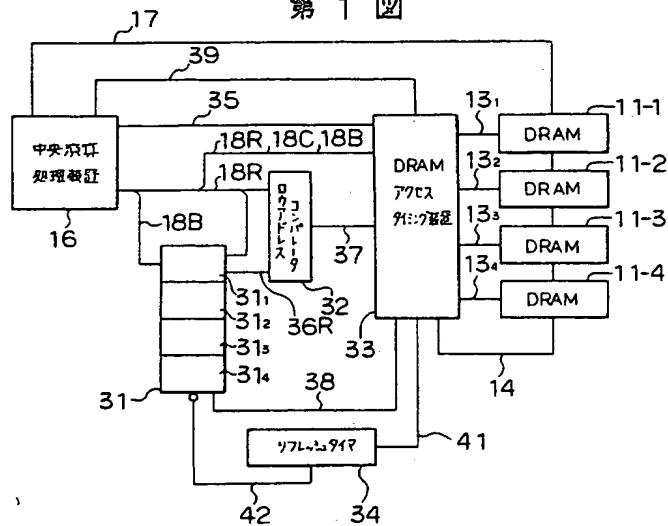
第1図～第7図は本発明の一実施例を説明するためのもので、このうち第1図はメモリ制御装置とこれによって制御されるメモリを表わしたブロック図、第2図はアドレス情報の構成を表わした説明図、第3図は通常のアクセスモードを表わしたタイミング図、第4図はロウアドレスタグメモリと各メモリブロックの関係を表わした説明図、第5図は高速ページモードを表わしたタイミング

図、第6図は通常のアクセスサイクルと高速ページモードにおけるアクセスサイクルを対比したタイミング図、第7図はリフレッシュサイクルを含むタイミング図、第8図～第12図は本発明の変形例を説明するためのもので、このうち第8図はこの変形例におけるメモリ制御装置とこれによって制御されるメモリを表わしたブロック図、第9図は通常のアクセスモードを表わしたタイミング図、第10図はロウアドレスコンバレータの比較結果が一致した場合のスタティックカラムモードを説明するためのタイミング図、第11図はスタティックカラムモードにおける通常のアクセスモードとスタティックカラムモードを比較したタイミング図、第12図はリフレッシュサイクルを表わしたタイミング図、第13図は従来における複数パンクのメモリブロックを有するメモリとその制御装置を表わしたブロック図、第14図はこのような従来の装置におけるメモリのアクセス方法を説明するためのタイミング図である。

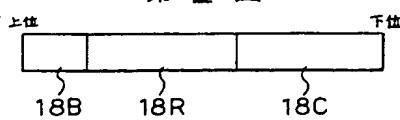
1 1 ……メモリブロック（高速ページモードのDRAM）、
 1 6 ……中央演算処理装置、
 3 1 ……ロウアドレスタグメモリ、
 3 2 ……ロウアドレスコンバレータ、
 3 3、5 1 ……DRAMアクセスタイミング装置、
 5 2 ……メモリブロック（スタティックカラムモードのDRAM）。

出願人 富士ゼロックス株式会社
 代理人 弁理士 山内梅雄

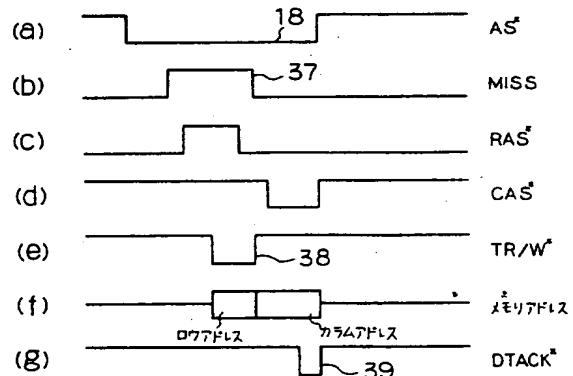
第1図



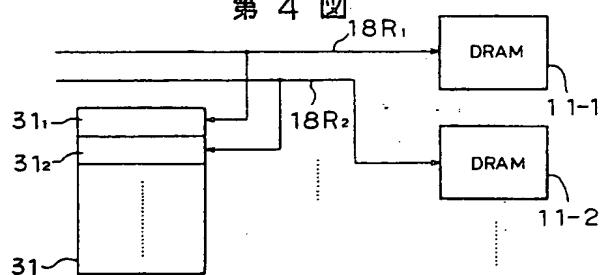
第2図



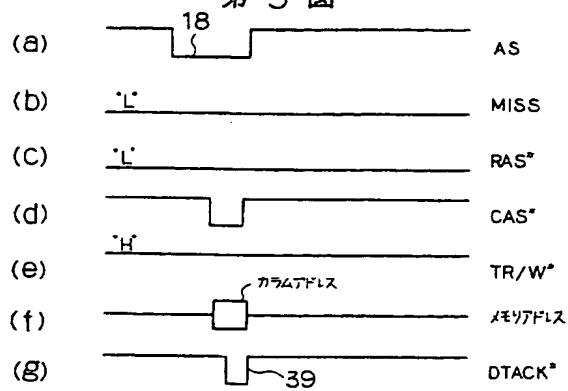
第3図



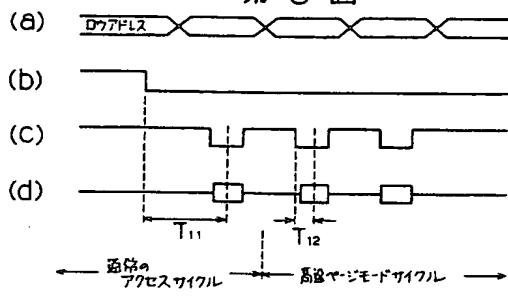
第4図



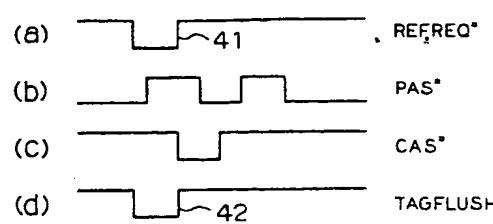
第5図



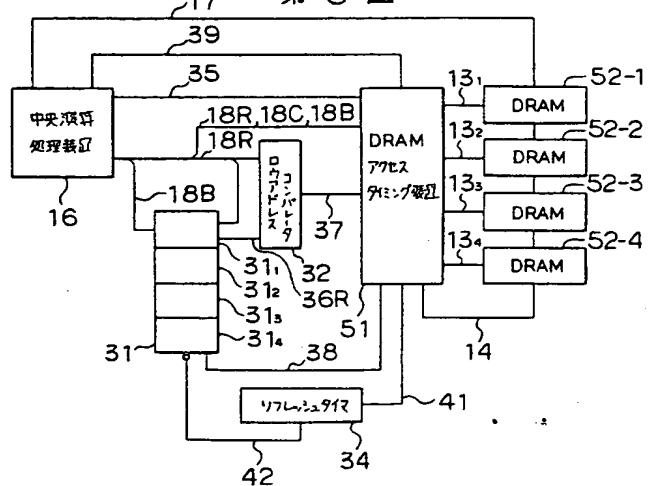
第6図



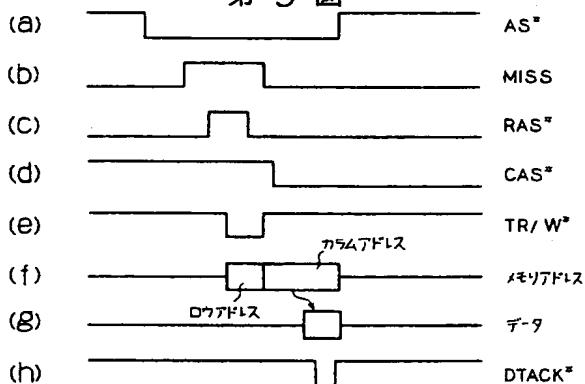
第7図



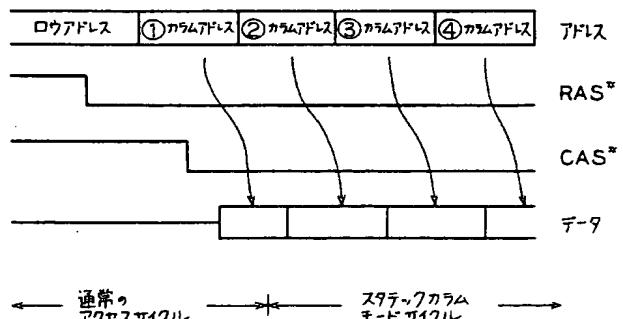
第8図



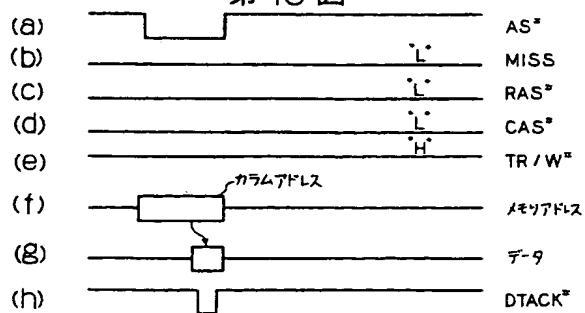
第9図



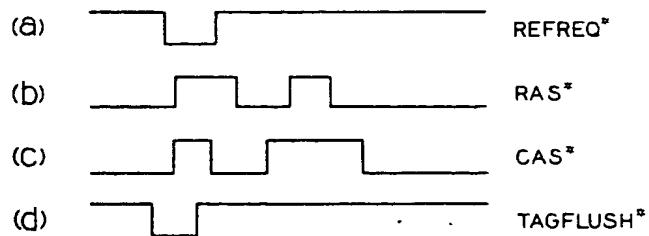
第11図



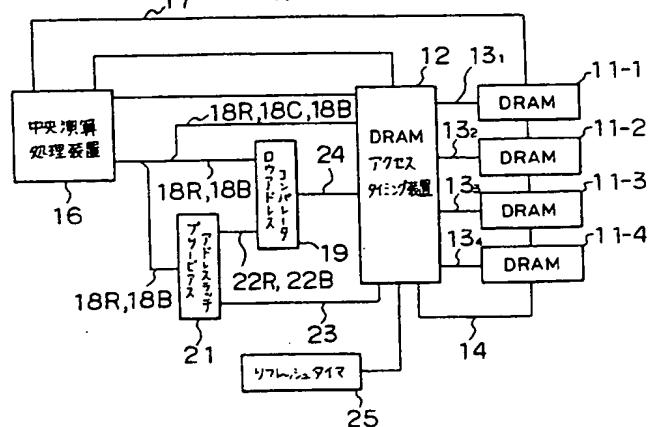
第10図



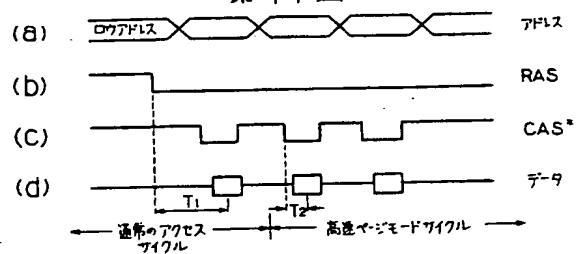
第12図



第13図



第14図



THIS PAGE BLANK (USPTO)